

日 本 国 特 許 庁

PATENT OFFICE
JAPANESE GOVERNMENT



別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日

Date of Application:

2000年12月22日

出 願 番 号

Application Number:

特願2000-390553

出 願 人

Applicant (s):

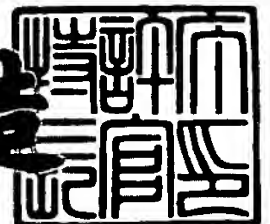
富士通株式会社

富士通ヴィエルエスアイ株式会社

2001年 2月23日

特許庁長官
Commissioner,
Patent Office

及 川 耕 造



出証番号 出証特2001-3011182

【書類名】 特許願

【整理番号】 0041132

【提出日】 平成12年12月22日

【あて先】 特許庁長官殿

【国際特許分類】 H03K 19/00

【発明の名称】 レベルシフト回路及び半導体装置

【請求項の数】 10

【発明者】

 【住所又は居所】 愛知県春日井市高蔵寺町二丁目 1 8 4 4 番 2 富士通ヴ
 ィエルエスアイ株式会社内

 【氏名】 鈴木 久雄

【特許出願人】

 【識別番号】 000005223

 【氏名又は名称】 富士通株式会社

【特許出願人】

 【識別番号】 000237617

 【氏名又は名称】 富士通ヴィエルエスアイ株式会社

【代理人】

 【識別番号】 100068755

 【弁理士】

 【氏名又は名称】 恩田 博宣

【選任した代理人】

 【識別番号】 100105957

 【弁理士】

 【氏名又は名称】 恩田 誠

【手数料の表示】

 【予納台帳番号】 002956

 【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9909792

【包括委任状番号】 9909791

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 レベルシフト回路及び半導体装置

【特許請求の範囲】

【請求項 1】 第 1 の電圧源と、前記第 1 の電圧源に対し高電圧側である第 2 の電圧源とを電源とし、前記第 1 の電圧源に対し高電圧側であるとともに前記第 2 の電圧源よりも低電圧である第 3 の電圧源と前記第 1 の電圧源のレベルの入力信号を、前記第 2 の電圧源と前記第 1 の電圧源のレベルの出力信号にレベル変換するレベルシフト回路において、

ソースを前記第 1 の電圧源に接続し、前記入力信号と略同一レベルを有する第 1 及び第 2 の信号がゲートにそれぞれ供給され、同一極性を有する第 1 及び第 2 のトランジスタと、

ソースを前記第 2 の電圧源に接続するとともにゲートを互いのドレインに接続し、前記第 1 及び第 2 のトランジスタと逆極性を有する第 3 及び第 4 のトランジスタと、

ソースを前記第 1 のトランジスタのドレインに接続するとともにドレインを前記第 3 のトランジスタのドレインに接続し、当該第 1 のトランジスタと同一極性を有する第 5 のトランジスタと、

ソースを前記第 2 のトランジスタのドレインに接続するとともにドレインを前記第 4 のトランジスタのドレインに接続し、当該第 2 のトランジスタと同一極性を有する第 6 のトランジスタとを備え、

前記第 5 及び第 6 のトランジスタのゲート電圧を、前記第 2 の電圧源に基づいて前記第 1 及び第 2 のトランジスタのソースドレイン間電圧がそれらトランジスタの耐圧よりも低くなるように生成する電圧発生回路を設けたことを特徴とするレベルシフト回路。

【請求項 2】 前記電圧発生回路は、

直列に接続された同一極性を有する複数のトランジスタを備え、

前記第 5 及び第 6 のトランジスタのゲート電圧を、前記複数のトランジスタにより前記第 2 の電圧源の電圧を分圧して生成することを特徴とする請求項 1 に記載のレベルシフト回路。

【請求項 3】 前記電圧発生回路は、

直列に接続された同一極性を有する複数のトランジスタを備え、

前記第 5 及び第 6 のトランジスタのゲート電圧を、前記複数のトランジスタにより前記第 2 の電圧源の電圧と第 3 の電圧源の電圧との差電圧を分圧して生成すること

を特徴とする請求項 1 に記載のレベルシフト回路。

【請求項 4】 前記第 1 及び第 3 の電圧源を電源とし、前記第 1 及び第 2 の

トランジスタにゲート電圧を供給する入力回路を備えること

を特徴とする請求項 1 乃至 3 のいずれか 1 項に記載のレベルシフト回路。

【請求項 5】 前記電圧発生回路は、

該電圧発生回路に供給される第 3 の信号に応答して前記各電圧源の電圧を制御し、前記ゲート電圧を生成することを特徴とする請求項 1 乃至 4 のいずれか 1 項に記載のレベルシフト回路。

【請求項 6】 前記電圧発生回路の出力電圧が予め定めた前記ゲート電圧と

なるまで、前記第 5 及び第 6 のトランジスタのゲートを前記第 1 の電圧源に短絡させる保護回路を設けたこと

を特徴とする請求項 1 乃至 5 のいずれか 1 項に記載のレベルシフト回路。

【請求項 7】 前記保護回路は、

前記電圧発生回路の出力電圧が予め定めた前記ゲート電圧となるまで該電圧発生回路の出力信号を無効化し、前記第 5 及び第 6 のトランジスタのゲートを前記第 1 の電圧源に短絡させること

を特徴とする請求項 6 に記載のレベルシフト回路。

【請求項 8】 前記保護回路は、

前記電圧発生回路の出力電圧が予め定めた前記ゲート電圧より高い電圧のときオフ状態に制御される第 1 のスイッチ回路と、

前記第 1 のスイッチ回路に対して相補的にオン・オフ制御される第 2 のスイッチ回路と、を備え、

前記第 1 のスイッチ回路がオフ状態に制御されるとき前記第 2 のスイッチ回路は、前記第 5 及び第 6 のトランジスタのゲートを前記第 1 の電圧源に短絡させる

ことを特徴とする請求項 6 又は 7 に記載のレベルシフト回路。

【請求項 9】 前記保護回路は、

前記第 1 及び第 2 のスイッチ回路をオン・オフ制御する制御信号を前記電圧発生回路の第 2 の出力電圧に基づいて生成し、該制御信号を前記第 1 及び第 2 のスイッチ回路に供給する信号生成回路を設けた

ことを特徴とする請求項 8 に記載のレベルシフト回路。

【請求項 10】 請求項 1 乃至 9 のいずれか 1 項に記載のレベルシフト回路を備えたことを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、低電源電圧側の信号を高電源電圧側へ伝達するレベルシフト回路及び半導体装置に関するものである。

【0002】

近年、半導体集積回路装置の多機能化に伴う低電源電圧化及び複数電源化により、レベルシフト回路は、半導体装置のインターフェース回路として用いられている。

【0003】

【従来の技術】

図 4 は、従来のレベルシフト回路を示す回路図である。

レベルシフト回路 50 は、第 1 の電源 V D 1 と第 2 の電源 V D 2 が接続され、第 1 の電源 V D 1 レベルの入力信号 I N を第 2 の電源 V D 2 レベルの出力信号 O U T にレベル変換する。第 1 の電源 V D 1 の電圧は第 2 の電源 V D 2 のそれよりも低く設定され、例えば第 1 の電源 V D 1 の電圧が 1. 0 V (ボルト) に設定され、第 2 の電源 V D 2 の電圧が 3. 0 V に設定されている。

【0004】

レベルシフト回路 50 は、入力回路 51 とシフト回路 52 とから構成される。入力回路 51 は、第 1 の電源 V D 1 と第 3 の電源 (グランド G N D) との間に接続され、n M O S トランジスタ Q 34 と p M O S トランジスタ Q 35 とからなる

インバータ回路を含み、そのインバータ回路により、入力信号 IN を反転した信号 $\neg IN$ をシフト回路 52 に出力する。シフト回路 52 には入力信号 IN が供給され、両信号 IN , $\neg IN$ に応答して出力信号 OUT を出力する。

【0005】

シフト回路 52 は、2 個の $nMOS$ トランジスタ $Q36$, $Q37$ と、2 個の $pMOS$ トランジスタ $Q38$, $Q39$ とから構成される。

第1の $nMOS$ トランジスタ $Q36$ はそのゲートに反転信号 $\neg IN$ が供給され、第2の $nMOS$ トランジスタ $Q37$ はそのゲートに入力信号 IN が供給される。つまり、各 $nMOS$ トランジスタ $Q36$, $Q37$ のゲートには、互いに反転した信号が入力される。また、各 $nMOS$ トランジスタ $Q36$, $Q37$ のソースは、グランド GND に接続され、ドレインはそれぞれ $pMOS$ トランジスタ $Q38$, $Q39$ のドレインに接続される。

【0006】

第1の $pMOS$ トランジスタ $Q38$ のゲートは第2の $pMOS$ トランジスタ $Q39$ のドレインに接続され、第2の $pMOS$ トランジスタ $Q39$ のゲートは第1の $pMOS$ トランジスタ $Q38$ のドレインに接続される。各 $pMOS$ トランジスタ $Q38$, $Q39$ のソースは、第2の電源 $VD2$ に接続される。

【0007】

上記のように構成されたレベルシフト回路 50 は、 H レベルの入力信号 IN に応答して第1の $nMOS$ トランジスタ $Q36$ をオフ状態、第2の $nMOS$ トランジスタ $Q37$ をオン状態にする。このため、第1の $pMOS$ トランジスタ $Q38$ はオン状態、第2の $pMOS$ トランジスタ $Q39$ はオフ状態となる。従って、レベルシフト回路 50 は、 H レベル（第2の電源 $VD2$ レベル）の出力信号 OUT を出力する。

【0008】

一方、レベルシフト回路 50 は、 L レベルの入力信号 IN に応答して第1の $nMOS$ トランジスタ $Q36$ をオン状態、第2の $nMOS$ トランジスタ $Q37$ をオフ状態にする。このため、第1の $pMOS$ トランジスタ $Q38$ はオフ状態、第2の $pMOS$ トランジスタ $Q39$ はオン状態となる。従って、レベルシフト回路 5

0 は、L レベル（グラウンド GND レベル）の出力信号 OUT を出力する。

【0009】

【発明が解決しようとする課題】

ところで、レベルシフト回路 50 は、第 1 及び第 2 の nMOS トランジスタ Q36, Q37 が入力信号 IN に応答してオンオフしなければならない。この動作のために第 1 及び第 2 の nMOS トランジスタ Q36, Q37 は素子耐圧の低いトランジスタで構成され、それらトランジスタ Q36, Q37 のしきい値電圧を入力信号 IN のレベルに対応させている。

【0010】

図 5 は、素子耐圧の異なる 2 つのトランジスタにおけるゲートソース間電圧 VGS とドレイン電流 ID との関係を示すグラフである。図中、曲線 A は素子耐圧の低いトランジスタ（低耐圧素子）を示し、曲線 B は素子耐圧の高いトランジスタ（高耐圧素子）を示す。

【0011】

即ち、図 5 に曲線 A 及び曲線 B で示すように、低耐圧素子がオン状態となる閾値電圧は、高耐圧素子がオン状態となる閾値電圧に比べて約 $1/2$ となる。従って、上述した従来例において、第 1 及び第 2 の nMOS トランジスタ Q36, Q37 を低耐圧素子で構成した場合、高耐圧素子で構成した場合に比べてレベルシフト回路の出力信号をより低いゲートソース間電圧で該 nMOS トランジスタ Q36, Q37 をオンオフさせることが可能となる。

【0012】

しかし、上述した従来例において、第 1 の nMOS トランジスタ Q36 のドレインには、オンした第 1 の pMOS トランジスタ Q38 を介して第 2 の電源 VD2 の電圧が供給される。この第 2 の電源 VD2 の電圧により第 1 の nMOS トランジスタ Q36 のソースドレイン間電圧が素子の耐圧を越えてしまうため、その電圧により第 1 の nMOS トランジスタ Q36 が破壊される問題があった。尚、第 2 の nMOS トランジスタ Q37 についても同様の問題があった。

【0013】

本発明は、上記問題点を解消するためになされたものであって、その目的は、

低耐圧素子にて構成されるトランジスタの破壊を防ぐことを可能にしたレベルシフト回路を提供することにある。

【0014】

【課題を解決するための手段】

上記目的を達成するため、請求項1に記載の発明によれば、電圧発生回路は、第5及び第6のトランジスタに第2の電圧源に基づいて生成したゲート電圧を供給する。そして、第1及び第2のトランジスタのソースドレイン間電圧は、それらトランジスタの耐圧よりも低くなるように制御される。

【0015】

請求項2に記載の発明によれば、請求項1に記載の発明の作用に加えて、電圧発生回路は、直列接続される複数のトランジスタにより第2の電圧源を分圧して生成したゲート電圧を第5及び第6のトランジスタに供給する。そして、電圧発生回路は、第1及び第2のトランジスタに印加される第2の電圧源からの電圧を制限して、それらトランジスタの耐圧よりも低いソースドレイン間電圧に制御する。

【0016】

請求項3に記載の発明によれば、請求項1に記載の発明の作用に加えて、電圧発生回路は、直列接続される複数のトランジスタにより第2の電圧源の電圧と第3の電圧源の電圧との差電圧を分圧して生成したゲート電圧を第5及び第6のトランジスタに供給する。そして、電圧発生回路は、第1及び第2のトランジスタに印加される第2の電圧源からの電圧を制限して、それらトランジスタの耐圧よりも低いソースドレイン間電圧に制御する。

【0017】

請求項4に記載の発明によれば、請求項1乃至3のいずれか1項に記載の発明の作用に加えて、第1及び第3の電圧源を電源とする入力回路は、第1及び第2のトランジスタにゲート電圧を供給する。

【0018】

請求項5に記載の発明によれば、請求項1乃至4のいずれか1項に記載の発明の作用に加えて、電圧発生回路は、該電圧発生回路に供給される第3の信号に応

答して各電圧源の電圧を制御し、第 5 及び第 6 のトランジスタに供給するゲート電圧を生成する。

【 0 0 1 9 】

請求項 6 に記載の発明によれば、請求項 1 乃至 5 のいずれか 1 項に記載の発明の作用に加えて、保護回路は、電圧発生回路の出力電圧が予め定めたゲート電圧となるまで、第 5 及び第 6 のトランジスタのゲートを第 1 の電圧源に短絡させる。

【 0 0 2 0 】

請求項 7 に記載の発明によれば、請求項 6 に記載の発明の作用に加えて、保護回路は、電圧発生回路の出力電圧が予め定めたゲート電圧となるまで、第 5 及び第 6 のトランジスタのゲートに供給される電圧発生回路からの出力信号を無効化するとともに、それらトランジスタのゲートを第 1 の電圧源に短絡させる。

【 0 0 2 1 】

請求項 8 に記載の発明によれば、請求項 7 に記載の発明の作用に加えて、保護回路の第 1 及び第 2 のスイッチ回路は、電圧発生回路の出力電圧に基づいて相補的にオン・オフ制御される。そして、第 1 のスイッチ回路がオフ状態に制御されるとき、第 2 のスイッチ回路は、第 5 及び第 6 のトランジスタのゲートを第 1 の電圧源に短絡させる。

【 0 0 2 2 】

請求項 9 に記載の発明によれば、請求項 8 に記載の発明の作用に加えて、保護回路の信号生成回路は、第 1 及び第 2 のスイッチ回路をオン・オフ制御する制御信号を電圧発生回路の第 2 の出力電圧に基づいて生成する。そして、信号生成回路は、その制御信号を第 1 及び第 2 のスイッチ回路に供給する。

【 0 0 2 3 】

請求項 1 0 に記載の発明によれば、請求項 1 乃至 9 のいずれかに記載の発明の作用をするレベルシフト回路は、半導体装置に設けられている。

【 0 0 2 4 】

【発明の実施の形態】

（第一実施形態）

以下、本発明を具体化した第一実施形態を図 1 に従って説明する。

【0025】

図 1 は、レベルシフト回路の第一実施形態を示す回路図である。

レベルシフト回路 10 は、入力回路 11、シフト回路 12、電圧発生回路 13 を含む。入力回路 11 は第 1 の電圧源と第 2 の電圧源とを電源として動作するように構成され、シフト回路 12 及び電圧発生回路 13 は第 1 の電圧源と第 3 の電圧源とを電源として動作するように構成されている。尚、本実施の形態において、第 1 の電圧源はグランド GND であり、第 2 の電圧源は第 1 の電圧源に対する電位差が第 3 の電圧源のそれよりも小さな電源である。以下、第 2 の電圧源を低電圧側電源と呼び、第 3 の電圧源を高電圧側電源と呼ぶ。そして、第 2 の電圧源は低電源電圧 V_{D1} を供給し、第 3 の電圧源は高電源電圧 V_{D2} を供給する。そして、レベルシフト回路 10 は、低電源電圧 V_{D1} レベルの入力信号 I_N を高電源電圧 V_{D2} レベルの出力信号 $O_U T$ にレベル変換する。

【0026】

入力回路 11 は、第 1 の p チャネル MOS トランジスタ（以下、pMOS トランジスタ、と略称） Q_{11} と、第 1 の n チャネル MOS トランジスタ Q_{12} （以下、nMOS トランジスタ、と略称）とからなるインバータ回路を含む。

【0027】

第 1 の pMOS トランジスタ Q_{11} のソースは低電圧側電源（低電源電圧 V_{D1} ）に接続され、第 1 の nMOS トランジスタ Q_{12} のソースはグランド GND に接続される。第 1 の pMOS トランジスタ Q_{11} 及び第 1 の nMOS トランジスタ Q_{12} の各ゲートは入力信号 I_N が供給され、その信号 I_N を反転した信号 $\neg I_N$ を出力する。従って、入力回路 11 は、入力信号 I_N に応答して、該信号 I_N と、該信号 I_N を反転した信号 $\neg I_N$ とをシフト回路 12 に出力する。

【0028】

シフト回路 12 は、第 1 ～第 6 のトランジスタ $Q_{13} \sim Q_{18}$ から構成される。第 1 及び第 2 のトランジスタ Q_{13} , Q_{14} は pMOS トランジスタであり、第 3 ～第 6 トランジスタ $Q_{15} \sim Q_{18}$ は nMOS トランジスタである。

【0029】

第1及び第2のトランジスタQ13, Q14はソースが高電圧側電源（高電源電圧VD2）に接続され、ゲートが互いに他のトランジスタQ14, Q13のドレインに接続される。

【0030】

第3及び第4のトランジスタQ15, Q16のソースはグランドGNDに接続される。第3のトランジスタQ15のゲートは反転信号／INが供給され、第4のトランジスタQ16のゲートは入力信号INが供給される。第3及び第4のトランジスタQ15, Q16のドレインは第5及び第6のトランジスタQ17, Q18のソースにそれぞれ接続される。

【0031】

第5及び第6のトランジスタQ17, Q18のドレインは第1及び第2のトランジスタQ13, Q14のドレインに接続される。第5及び第6のトランジスタQ17, Q18のゲートは互いに接続され、その接続点は電圧発生回路13に接続される。そして、第1のトランジスタQ13と第5のトランジスタQ17と間の接続点から出力信号OUTを出力する。

【0032】

第3及び第4のトランジスタQ15, Q16は、それぞれのゲートに供給される信号IN, /INに応答してオンオフするように、それらの素子耐圧が低く設定された低耐圧素子である。一方、第1及び第2のトランジスタQ13, Q14と第5及び第6のトランジスタQ17, Q18は、それらの素子耐圧が高電源電圧VD2に対応して設定された高耐圧素子である。

【0033】

電圧発生回路13は、第1の電圧源と第3の電圧源により生成した電圧を第5及び第6のトランジスタQ17, Q18のゲートに供給する。更に、電圧発生回路13は、低耐圧素子である第3及び第4のトランジスタQ15, Q16が破壊しないように第5及び第6のトランジスタQ17, Q18のゲート電圧を生成する。

【0034】

本実施形態では、高電源電圧VD2を3.0V、低電源電圧VD1を1.0V

としている。そして、低耐圧素子（第3及び第4のトランジスタQ15, Q16）のソースドレイン間耐圧を1.5V、高耐圧素子（第1, 第2, 第5及び第6のトランジスタQ13, Q14, Q17, Q18）のソースドレイン間耐圧を3.0Vとし、高耐圧素子のゲートソース間電圧を0.5Vとしている。従って、本実施形態の電圧発生回路13は、第3及び第4のトランジスタQ15, Q16が破壊しないように生成した電圧（高電源電圧VD2の約1/2の電圧）を第5及び第6のnMOSトランジスタQ17, Q18のゲートに印加する。

【0035】

詳述すると、電圧発生回路13は、第1～第8のトランジスタQ19～Q26とから構成される。第1～第6のトランジスタQ19～Q24はpMOSトランジスタであり、第7及び第8のトランジスタQ25, Q26はnMOSトランジスタである。

【0036】

第1のトランジスタQ19と第7のトランジスタQ25とによりインバータ回路が構成され、各トランジスタQ19, Q25のゲートは制御信号CNTLが供給される。第1のトランジスタQ19のソースは高電圧側電源（高電源電圧VD2）の接続端子に接続され、第7のトランジスタQ25のソースはグランドGNDに接続される。そして、当該インバータ回路の出力端子、即ち第1のトランジスタQ19及び第7のトランジスタQ25の各ドレインは、第2のトランジスタQ20のゲートに接続される。

【0037】

第2のトランジスタQ20のソースは高電圧側電源（高電源電圧VD2）の接続端子に接続される。第2～第5のトランジスタQ20, Q21, Q22, Q23の各ドレインは、第3～第6のトランジスタQ21, Q22, Q23, Q24の各ソースにそれぞれ接続される。第6のトランジスタQ24のドレインは第8のトランジスタQ26のドレインに接続され、当該第8のトランジスタQ26のソースはグランドGNDに接続される。第8のトランジスタQ26のゲートは、前記制御信号CNTLが供給される。第3～第6のトランジスタQ21, Q22, Q23, Q24は、各々のドレインが各々のゲートに接続されている。

【 0 0 3 8 】

そして、第 4 のトランジスタ Q 2 2 のドレインと第 5 のトランジスタ Q 2 3 のソースとの間の接続点（ノード）N 1 は、シフト回路 1 2 内の第 5 及び第 6 のトランジスタ Q 1 7, Q 1 8 の各ゲートに接続されている。

【 0 0 3 9 】

次に、上記のように構成されたレベルシフト回路の作用について説明する。

電圧発生回路 1 3 は、H レベルの制御信号 C N T L に応答して第 1 のトランジスタ Q 1 9 をオフ、第 7 のトランジスタ Q 2 5 をオンする。従って、各トランジスタ Q 1 9, Q 2 0 にて構成されるインバータ回路は、第 2 のトランジスタ Q 2 0 に L レベルの信号を出力し、該トランジスタ Q 2 0 をオンする。

【 0 0 4 0 】

また、電圧発生回路 1 3 は、H レベルの制御信号 C N T L により、第 8 のトランジスタ Q 2 6 をオンする。このとき、第 2 のトランジスタ Q 2 0 のドレイン電圧は、高電源電圧 V D 2 (3 . 0 V) と略同一の電圧となり、第 8 のトランジスタ Q 2 6 のドレイン電圧は、グランド G N D と略同一の電圧 (0 . 0 V) となる。従って、電圧発生回路 1 3 は、抵抗として作用する第 3 ～第 6 のトランジスタ Q 2 1, Q 2 2, Q 2 3, Q 2 4 により、高電源電圧 V D 2 を分圧して約 1 / 2 の電圧 (1 . 5 V) をノード N 1 から出力する。

【 0 0 4 1 】

今、レベルシフト回路 1 0 には、H レベルの入力信号 I N が入力される。この信号 I N に応答してシフト回路 1 2 の第 3 のトランジスタ Q 1 5 がオフし、第 4 のトランジスタ Q 1 6 がオンする。この動作により、第 2 のトランジスタ Q 1 4 のドレイン電圧、即ち第 1 のトランジスタ Q 1 3 のゲート電圧がグランド G N D レベルになるため、第 1 のトランジスタ Q 1 3 がオンする。従って、レベルシフト回路 1 0 は、高電源電圧 V D 2 レベルの出力信号 O U T を出力する。

【 0 0 4 2 】

このオンした第 1 のトランジスタ Q 1 3 により高電源電圧 V D 2 レベルのゲート電圧が第 2 のトランジスタ Q 1 4 に供給され、その第 2 のトランジスタ Q 1 4 はオフする。そして、オンした第 1 のトランジスタ Q 1 3 により第 5 のトランジ

スタQ 1 7のドレイン電圧は高電源電圧V D 2レベルになる。

【0 0 4 3】

この第5のトランジスタQ 1 7のゲートには、電圧発生回路1 3よりおよそ1 . 5 Vの電圧が供給されるため、第5のトランジスタQ 1 7のソース電圧はそれのゲート電圧より素子耐圧分（0 . 5 V）低下した電位になる。即ち、低耐圧素子である第3のトランジスタQ 1 5のドレイン電圧は、およそ1 . 0 Vになる。従って、第3のトランジスタQ 1 5は破壊されない。

【0 0 4 4】

また、レベルシフト回路1 0にLレベルの入力信号I Nが入力されると、上記と同様にしてグランドG N Dレベルの出力信号O U Tを出力する。そして、第4のトランジスタQ 1 6のドレイン電圧はおよそ1 . 0 Vになる。従って、第4のトランジスタQ 1 6は破壊されない。

【0 0 4 5】

以上記述したように、本実施の形態によれば、以下の効果を奏する。

（1）第3及び第4のトランジスタQ 1 5，Q 1 6は、低電源電圧V D 1で駆動するソースドレイン間耐圧の小さな低耐圧素子で構成される。電圧発生回路1 3は、高電源電圧V D 2に基づいて第3及び第4のトランジスタQ 1 5，Q 1 6が破壊しないように生成した電圧を第5及び第6のトランジスタQ 1 7，Q 1 8のゲートに印加する。従って、第1及び第2のトランジスタQ 1 3，Q 1 4がオンするとき、第3及び第4のトランジスタQ 1 5，Q 1 6にそのソースドレイン間耐圧を越える高電源電圧V D 2が印加されることを防止する。即ち、高電源電圧V D 2から印加される電圧を制限することで、低耐圧素子で構成される第3及び第4のトランジスタQ 1 5，Q 1 6の破壊を防止することができる。

【0 0 4 6】

（第二実施形態）

次に、本発明を具体化した第二実施形態を図2に従って説明する。尚、本実施の形態において、第一実施形態と同様の構成部分には、同一符号及び同一名称を付してその詳細な説明を一部省略する。

【0 0 4 7】

図 2 は、レベルシフト回路の第二実施形態を示す回路図である。

レベルシフト回路 2 0 は、入力回路 1 1、シフト回路 1 2、電圧発生回路 2 1 を含む。

【 0 0 4 8 】

電圧発生回路 2 1 は、高電源電圧 V_{D2} と低電源電圧 V_{D1} とを電源として動作するように接続されている。即ち、電圧発生回路 2 1 の第 8 のトランジスタ Q_{26} のソースは、低電圧側電源（低電源電圧 V_{D1} ）に接続される。

【 0 0 4 9 】

また、シフト回路 1 2 の第 5 及び第 6 のトランジスタ Q_{17} 、 Q_{18} の各ゲートは、電圧発生回路 2 1 の第 5 のトランジスタ Q_{23} と第 6 のトランジスタ Q_{24} との間の接続点（ノード） N_2 が接続される。

【 0 0 5 0 】

従って、電圧発生回路 2 1 は、高電源電圧 V_{D2} と低電源電圧 V_{D1} との差電圧を分圧した電圧（本実施形態では差電圧の約 $1/4$ を低電源電圧 V_{D1} に加算した電圧）を、第 5 及び第 6 のトランジスタ Q_{17} 、 Q_{18} の各ゲートに印加する。

【 0 0 5 1 】

次に、上記のように構成したレベルシフト回路の作用について説明する。

電圧発生回路 2 1 は、第一実施形態と同様に、第 5 及び第 6 のトランジスタ Q_{17} 、 Q_{18} のゲートに約 1.5 V の電圧を印加する。従って、第 3 及び第 4 のトランジスタ Q_{15} 、 Q_{16} のドレイン電圧は、該トランジスタ Q_{15} 、 Q_{16} のオンオフに関わらず、1.0 V より小さくなる。即ち、第 3 及び第 4 のトランジスタ Q_{15} 、 Q_{16} のソースドレイン間耐圧（1.5 V）より小さくなるため、該トランジスタ Q_{15} 、 Q_{16} が破壊されることはない。

【 0 0 5 2 】

今、低電源電圧 V_{D1} （1.0 V）が安定して供給され、高電源電圧 V_{D2} が 3.0 V から ± 0.5 V の範囲で変動する。

例えば、高電源電圧 V_{D2} が 3.5 V に変動した場合、電圧発生回路 2 1 は、その接続ノード N_2 に約 1.63 V の電圧を出力する。従って、第 3 及び第 4 の

トランジスタQ15, Q16のドレイン電圧は、約1.13Vとなる。これに対し、第一実施形態の電圧発生回路13は、その接続ノードN1に約1.75Vを出力する。従って、第3及び第4のトランジスタQ15, Q16のドレイン電圧は、約1.25Vとなる。

【0053】

別の例として、高電源電圧VD2が2.5Vに変動した場合、電圧発生回路21は、その接続ノードN2に約1.38Vの電圧を出力する。従って、第3及び第4のトランジスタQ15, Q16のドレイン電圧は、約0.88Vとなる。これに対し、第一実施形態の電圧発生回路13は、その接続ノードN1に約1.25Vを出力する。従って、第3及び第4のトランジスタQ15, Q16のドレイン電圧は、約0.75Vとなる。

【0054】

上述したように、本実施形態のレベルシフト回路20は、第一実施形態のレベルシフト回路10に比べて、高電源電圧VD2の変動に対する第3及び第4のトランジスタQ15, Q16のドレイン電圧の変動幅が小さい。

【0055】

以上記述したように、本実施の形態によれば、前記第一実施形態と同様な効果を奏するとともに、以下の効果を奏することができる。

(1) 電圧発生回路21は、第5及び第6のトランジスタQ17, Q18のゲートに、高電源電圧VD2と低電源電圧VD1の差電圧の約 $1/4$ を低電源電圧VD3に加えた電圧を印加することにより、第3及び第4のトランジスタQ15, Q16に印加されるドレイン電圧を制御する。この構成では、高電源電圧VD2の変動に対する第3及び第4のトランジスタQ15, Q16のドレイン電圧の変動幅を第一実施形態のそれよりも小さくできる。従って、高電源電圧VD2が大きく変動することに起因する第3及び第4のトランジスタQ15, Q16の破壊を防ぐことができる。

【0056】

(第三実施形態)

次に、本発明を具体化した第三実施形態を図3に従って説明する。

尚、第一実施形態と同様の構成部分には、同一符号及び同一名称を付してその詳細な説明を一部省略する。

【0057】

図3は、レベルシフト回路30の回路図である。

レベルシフト回路30は、入力回路11、シフト回路12、電圧発生回路13、保護回路31を含む。

【0058】

保護回路31は、電圧発生回路13の接続ノードN1の電圧が不安定な状態となった場合に、第3及び第4のトランジスタ（低耐圧素子）Q15、Q16に、そのソースドレイン間耐圧以上の電圧が印加されて同トランジスタQ15、Q16が破壊するのを防止する回路である。

【0059】

ノードN1の電圧は、電源投入時や制御信号CNTLの切り替え時に不安定になることがある。例えば、制御信号CNTLをLレベルからHレベルに切り換えした後、第2～第6のトランジスタQ20～Q24及び第8のトランジスタQ26の内部容量への充電が完了するまでは、接続ノードN1の電圧が高電源電圧VD2付近にまで上昇している場合がある。すると、第3及び第4のトランジスタ（低耐圧素子）Q15、Q16に、そのソースドレイン間耐圧以上の電圧が印加され、同トランジスタQ15、Q16が破壊されてしまう。従って、保護回路31は、この耐圧以上の電圧が第5及び第6のトランジスタQ17、Q18のゲートに加わるのを防ぐように構成されている。

【0060】

次に、保護回路31の構成の一例を説明する。

保護回路31は、信号生成回路32、第1及び第2のスイッチ回路33、34を含む。信号生成回路32は、第1及び第2のスイッチ回路33、34を開閉制御するための制御信号を、電圧発生生成回路13の各部の電圧に基づいて生成する。第1のスイッチ回路33はノードN1と第5及び第6のトランジスタQ17、Q18のゲートとの間に接続され、第2のスイッチ回路34は第5及び第6のトランジスタQ17、Q18のゲートとグランドGNDとの間に接続されている。

【 0 0 6 1 】

第 1 及び第 2 のスイッチ回路 3 3, 3 4 は制御信号に応答してオン（開路閉路）又はオフ（閉路開路）する。オフした第 1 のスイッチ回路 3 3 は、ノード N 1 の不安定な電圧が第 5 及び第 6 のトランジスタ Q 1 7, Q 1 8 のゲートに印加することを防ぐ。オンした第 2 のスイッチ回路 3 4 は、第 5 及び第 6 のトランジスタ Q 1 7, Q 1 8 のゲートをグラウンド GND に接続し、ゲート電圧が不安定になるのを防ぐ。

【 0 0 6 2 】

信号生成回路 3 2 は、pMOS トランジスタ Q 2 7 と nMOS トランジスタ Q 2 8 とからなるインバータ回路と、pMOS トランジスタ Q 2 9 と nMOS トランジスタ Q 3 0 からなるインバータ回路を備える。この信号生成回路 3 2 は、電圧発生回路 1 3 の第 5 及び第 6 のトランジスタ Q 2 3, Q 2 4 の間の接続点（ノード）N 3 のレベルと実質的に同一レベルの第 1 の制御信号 S 3 1 と、ノード N 3 のレベルを反転したレベルを持つ第 2 の制御信号 S 3 2 とを生成する。

【 0 0 6 3 】

第 1 のスイッチ回路 3 3 は、並列に接続された pMOS トランジスタ Q 3 1 と nMOS トランジスタ Q 3 2 とからなり、pMOS トランジスタ Q 3 1 のゲートに第 1 の制御信号 S 3 1 が供給され、nMOS トランジスタ Q 3 2 のゲートに第 2 の制御信号 S 3 2 が供給される。従って、両トランジスタ Q 3 1, Q 3 2 は同時にオンオフする。

【 0 0 6 4 】

第 2 のスイッチ回路 3 4 は、nMOS トランジスタ Q 3 3 からなり、そのトランジスタ Q 3 3 のゲートがノード N 3 に接続される。従って、第 2 のスイッチ回路 3 4 は、第 1 のスイッチ回路 3 3 に対して相補的にオンオフする。

【 0 0 6 5 】

次に、上記のように構成したレベルシフト回路 3 0 の作用について説明する。

電圧発生回路 1 3 は、H レベルの制御信号 CNTL により、第 8 のトランジスタ Q 2 6 をオンする。

【 0 0 6 6 】

また、電圧発生回路 1 3 は、H レベルの制御信号 C N T L により、第 1 のトランジスタ Q 1 9 と第 7 のトランジスタ Q 2 5 とからなるインバータ回路から L レベルの信号を出力する。従って、電圧発生回路 1 3 は、第 2 のトランジスタ Q 2 0 をオンする。

【 0 0 6 7 】

すると、電圧発生回路 1 3 は、高電源電圧 V D 2 が印加されることにより、第 2 ～第 6 のトランジスタ Q 2 0, Q 2 1, Q 2 2, Q 2 3, Q 2 4 及び第 8 のトランジスタ Q 2 6 の内部容量へ充電を開始する。

【 0 0 6 8 】

このとき、第 2 ～第 6 のトランジスタ Q 2 0 ～Q 2 4 及び第 8 のトランジスタ Q 2 6 の内部容量への充電が完了するまで、接続ノード N 1 とノード N 3 の電圧はほぼ等しく、高電源電圧 V D 2 の付近である。

【 0 0 6 9 】

従って、第 2 のスイッチ回路 3 4 はノード N 3 の電圧によりオンする。一方、第 1 のスイッチ回路 3 3 は、ノード N 3 の電圧に基づく第 1 及び第 2 の制御信号 S 3 1, S 3 2 に応答してオフする。

【 0 0 7 0 】

この様な動作により、信号生成回路 3 2 は、第 5 及び第 6 のトランジスタ Q 1 7, Q 1 8 のゲートをグランド G N D に接続するとともにノード N 1 との間を切断する。

【 0 0 7 1 】

次いで、接続ノード N 1 の電圧が低下し、その電圧が高電源電圧 V D 2 (3 . 0 V) の約 1 / 2 の電圧となると、ノード N 3 の電圧により第 2 のスイッチ回路 3 4 がオフし、第 1 のスイッチ回路 3 3 がオンする。。

【 0 0 7 2 】

以上記述したように、本実施の形態によれば、前記第一実施形態と同様な効果を奏するとともに、以下の効果を奏することができる。

(1) 保護回路 3 1 は、接続ノード N 1 の電圧が高電源電圧 V D 2 付近にまで

上昇している場合、ノードN3の電位に応答して第2のスイッチ回路34をオンさせ、第1のスイッチ回路33をオフさせるようにした。オンした第2のスイッチ回路34は第5及び第6のトランジスタQ17, Q18のゲートとグランドGNDを短絡させる。オフした第1のスイッチ回路33は第5及び第6のトランジスタQ17, Q18のゲートをノードN1から切り離す。従って、第3及び第4のトランジスタQ15, Q16を破壊させることなく確実に駆動させることができる。

【0073】

尚、本発明は上記各実施形態に限定されるものではなく、以下のように実施してもよい。

- ・上記各実施形態において、電圧発生回路13, 21の第3～第6のトランジスタQ21～Q24は、nMOSトランジスタ又は抵抗で構成してもよい。

【0074】

- ・第一実施形態では、高電源電圧VD2を3.0Vとして電圧発生回路13から約1.5Vの電圧を第5及び第6のトランジスタQ17, Q18のゲートに印加する構成としたが、第3及び第4のトランジスタQ15, Q16の破壊を防ぐことができればこの構成に限られるものではない。即ち、高電源電圧VD2の電圧に応じて、電圧発生回路13の第3及び第4のトランジスタQ21, Q22の接続ノード、あるいは第5及び第6のトランジスタQ23, Q24の接続ノードからゲート電圧を印加すればよい。

【0075】

- ・第三実施形態の保護回路31の構成を適宜変更して実施してもよい。
- ・第三実施形態において、保護回路31を第5及び第6のトランジスタQ23, Q24の間の接続点（ノード）N3に接続したが、接続点を適宜変更して実施しても良い。

【0076】

- ・第三実施形態の保護回路31を、第二実施形態のレベルシフト回路20に設ける構成としてもよい。

以上の様々な実施形態をまとめると、以下のようなになる。

【 0 0 7 7 】

(付記 1) 第 1 の電圧源と、前記第 1 の電圧源に対し高電圧側である第 2 の電圧源とを電源とし、前記第 1 の電圧源に対し高電圧側であるとともに前記第 2 の電圧源よりも低電圧である第 3 の電圧源と前記第 1 の電圧源のレベルの入力信号を、前記第 2 の電圧源と前記第 1 の電圧源のレベルの出力信号にレベル変換するレベルシフト回路において、ソースを前記第 1 の電圧源に接続し、前記入力信号と略同一レベルを有する第 1 及び第 2 の信号がゲートにそれぞれ供給され、同一極性を有する第 1 及び第 2 のトランジスタと、ソースを前記第 2 の電圧源に接続するとともにゲートを互いのドレインに接続し、前記第 1 及び第 2 のトランジスタと逆極性を有する第 3 及び第 4 のトランジスタと、ソースを前記第 1 のトランジスタのドレインに接続するとともにドレインを前記第 3 のトランジスタのドレインに接続し、当該第 1 のトランジスタと同一極性を有する第 5 のトランジスタと、ソースを前記第 2 のトランジスタのドレインに接続するとともにドレインを前記第 4 のトランジスタのドレインに接続し、当該第 2 のトランジスタと同一極性を有する第 6 のトランジスタとを備え、前記第 5 及び第 6 のトランジスタのゲート電圧を、前記第 2 の電圧源に基づいて前記第 1 及び第 2 のトランジスタのソースドレイン間電圧がそれらトランジスタの耐圧よりも低くなるように生成する電圧発生回路を設けたことを特徴とするレベルシフト回路。

【 0 0 7 8 】

(付記 2) 前記第 1 及び第 2 のトランジスタを前記第 3 ～第 6 のトランジスタに比べ素子耐圧の低い素子で構成したことを特徴とする付記 1 に記載のレベルシフト回路。

【 0 0 7 9 】

(付記 3) 前記電圧発生回路は、直列に接続された同一極性を有する複数のトランジスタを備え、前記第 5 及び第 6 のトランジスタのゲート電圧を、前記複数のトランジスタにより前記第 2 の電圧源の電圧を分圧して生成することを特徴とする付記 1 又は 2 に記載のレベルシフト回路。

【 0 0 8 0 】

(付記 4) 前記電圧発生回路は、直列に接続された同一極性を有する複数の

トランジスタを備え、前記第 5 及び第 6 のトランジスタのゲート電圧を、前記複数のトランジスタにより前記第 2 の電圧源の電圧と第 3 の電圧源の電圧との差電圧を分圧して生成することを特徴とする付記 1 又は 2 に記載のレベルシフト回路。

【 0 0 8 1 】

(付記 5) 前記第 1 及び第 3 の電圧源を電源とし、前記第 1 及び第 2 のトランジスタにゲート電圧を供給する入力回路を備え、前記電圧発生回路は、前記第 5 及び第 6 のトランジスタのゲート電圧を、前記第 2 及び第 3 の電圧源に基づいて前記第 1 及び第 2 のトランジスタのソースドレイン間電圧がそれらトランジスタの耐圧よりも低くなるように生成することを特徴とする付記 1 乃至 4 のいずれか 1 に記載のレベルシフト回路。

【 0 0 8 2 】

(付記 6) 前記電圧発生回路は、該電圧発生回路に供給される第 3 の信号に応答して前記各電圧源の電圧を制御し、前記ゲート電圧を生成することを特徴とする付記 1 乃至 5 のいずれか 1 に記載のレベルシフト回路。

【 0 0 8 3 】

(付記 7) 前記電圧発生回路の出力電圧が予め定めた前記ゲート電圧となるまで、前記第 5 及び第 6 のトランジスタのゲートを前記第 1 の電圧源に短絡させる保護回路を設けたことを特徴とする付記 1 乃至 6 のいずれか 1 に記載のレベルシフト回路。

【 0 0 8 4 】

(付記 8) 前記保護回路は、前記電圧発生回路の出力電圧が予め定めた前記ゲート電圧となるまで該電圧発生回路の出力信号を無効化し、前記第 5 及び第 6 のトランジスタのゲートを前記第 1 の電圧源に短絡させることを特徴とする付記 7 に記載のレベルシフト回路。

【 0 0 8 5 】

(付記 9) 前記保護回路は、前記電圧発生回路の出力電圧が予め定めた前記ゲート電圧より高い電圧のときオフ状態に制御される第 1 のスイッチ回路と、前記第 1 のスイッチ回路に対して相補的にオン・オフ制御される第 2 のスイッチ回

路と、を備え、前記第 1 のスイッチ回路がオフ状態に制御されるとき前記第 2 のスイッチ回路は、前記第 5 及び第 6 のトランジスタのゲートを前記第 1 の電圧源に短絡させることを特徴とする付記 7 又は 8 に記載のレベルシフト回路。

【0086】

(付記 10) 前記保護回路は、前記第 1 及び第 2 のスイッチ回路をオン・オフ制御する制御信号を前記電圧発生回路の第 2 の出力電圧に基づいて生成し、該制御信号を前記第 1 及び第 2 のスイッチ回路に供給する信号生成回路を設けたことを特徴とする付記 9 に記載のレベルシフト回路。

【0087】

(付記 11) 付記 1 乃至 9 のいずれか 1 に記載のレベルシフト回路を備えたことを特徴とする半導体装置。

【0088】

【発明の効果】

以上記述したように、この発明は、低耐圧素子にて構成されるトランジスタの破壊を防ぐことを可能にしたレベルシフト回路を提供することができる。

【図面の簡単な説明】

【図 1】 第一実施形態のレベルシフト回路を示す回路図である。

【図 2】 第二実施形態のレベルシフト回路を示す回路図である。

【図 3】 第三実施形態のレベルシフト回路を示す回路図である。

【図 4】 従来のレベルシフト回路を示す回路図である。

【図 5】 トランジスタのゲートソース間電圧 V_{GS} とドレイン電流 I_D との関係を示すグラフである。

【符号の説明】

10, 20, 30 レベルシフト回路

13, 21 電圧発生回路

Q13 第 3 のトランジスタ (第 1 のトランジスタ)

Q14 第 4 のトランジスタ (第 2 のトランジスタ)

Q15 第 1 のトランジスタ (第 3 のトランジスタ)

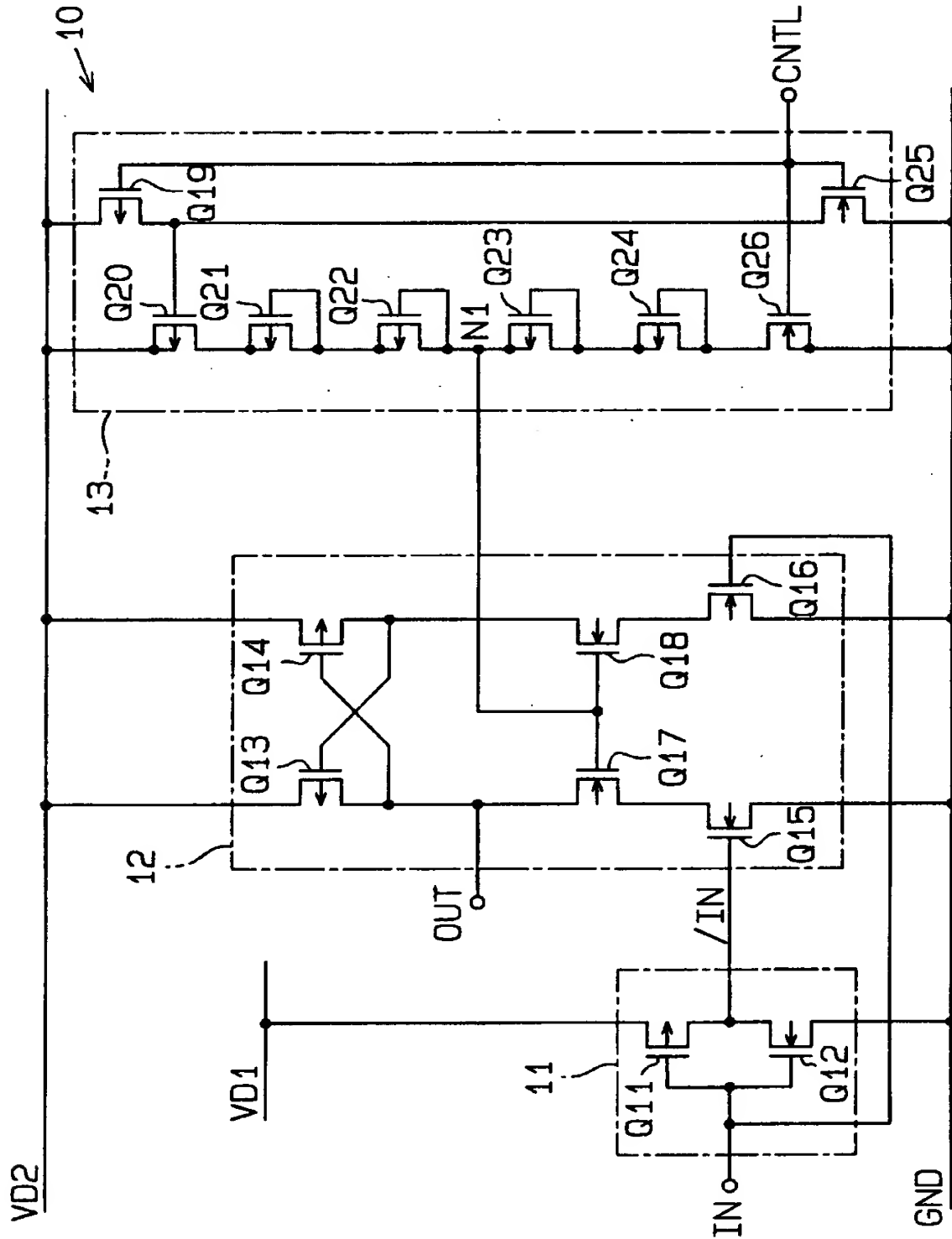
Q16 第 2 のトランジスタ (第 4 のトランジスタ)

Q 1 7	第 5 のトランジスタ (第 5 のトランジスタ)
Q 1 8	第 6 のトランジスタ (第 6 のトランジスタ)
G N D	第 1 の電圧源
V D 2	第 2 の電圧源 (高電源電圧)
V D 1	第 3 の電圧源 (低電源電圧)
I N	第 1 の信号 (入力信号)
/ I N	第 2 の信号 (反転信号)

【書類名】 図面

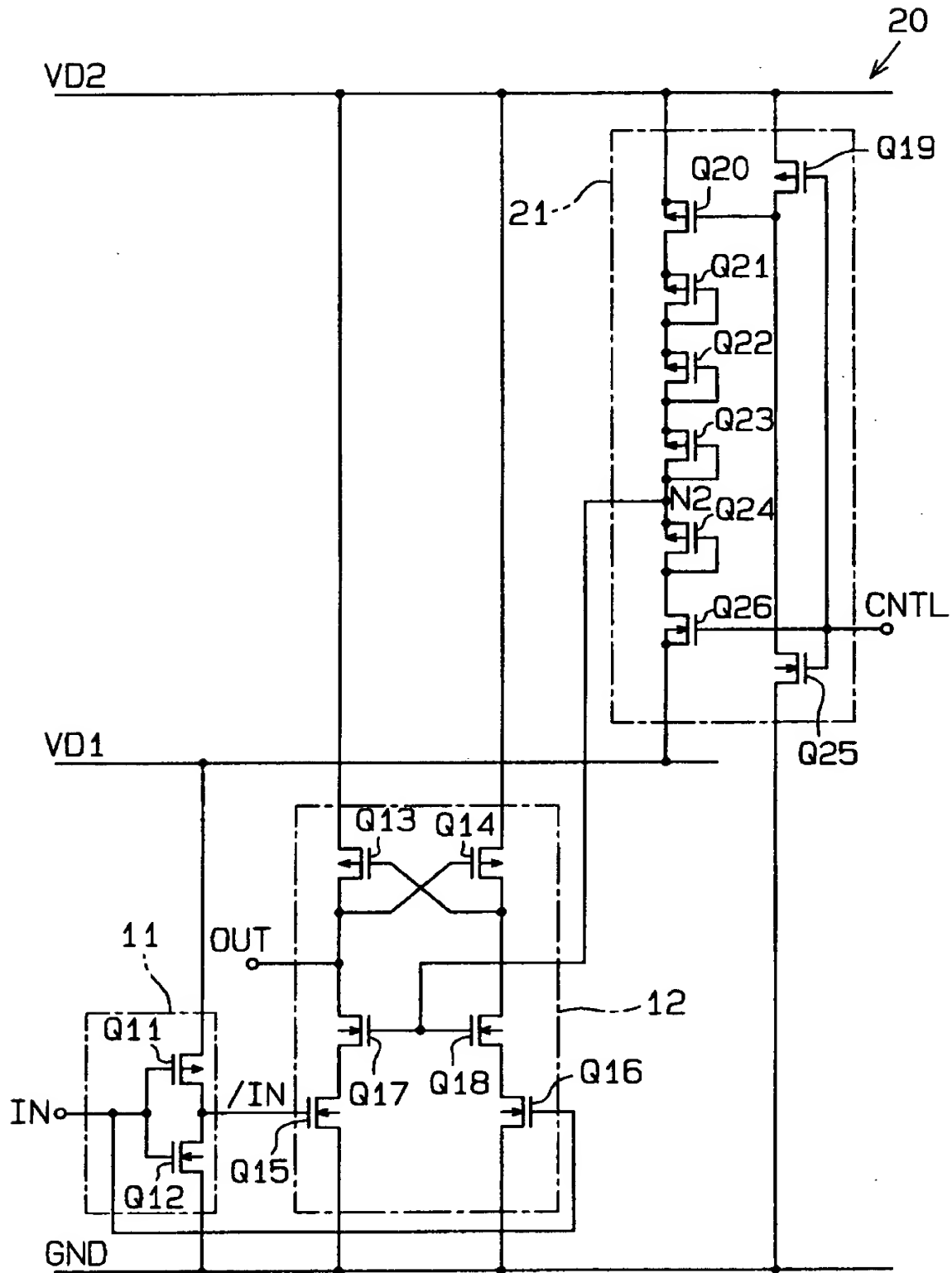
【図 1】

第一実施形態のレベルシフト回路を示す回路図



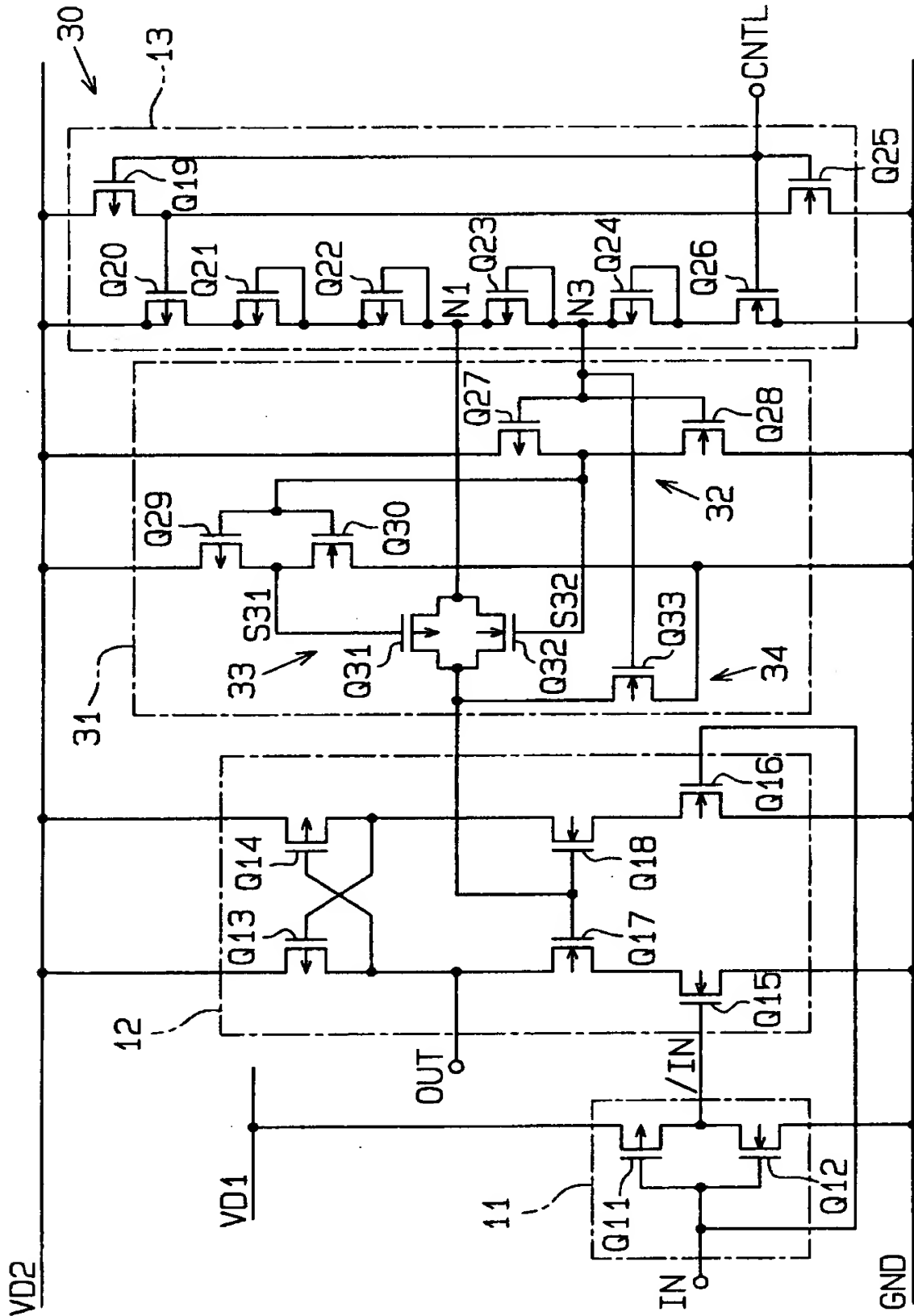
【図 2】

第二実施形態のレベルシフト回路を示す回路図



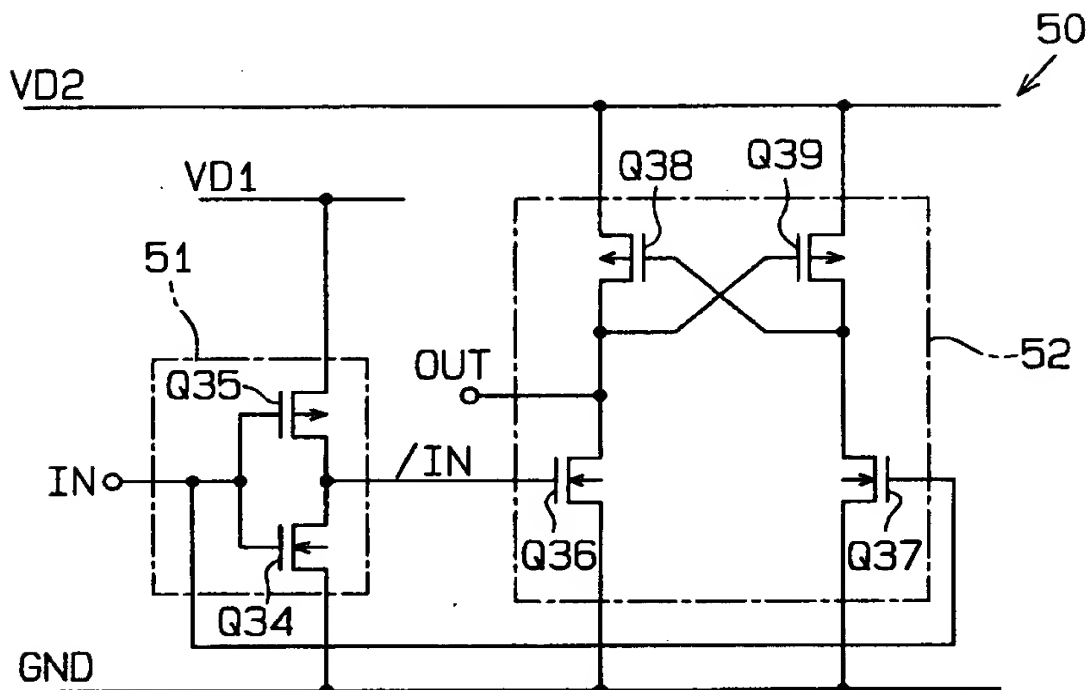
【図 3】

第三実施形態のレベルシフト回路を示す回路図



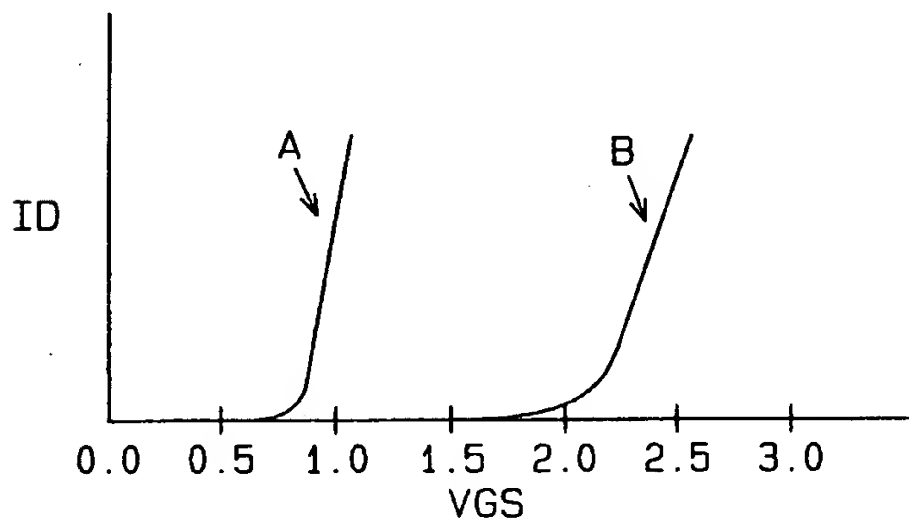
【図 4】

従来のレベルシフト回路を示す回路図



【図 5】

トランジスタのゲートソース間電圧VGSとドレイン電流IDとの関係を示すグラフ



【書類名】 要約書

【要約】

【課題】 低耐圧素子にて構成されるトランジスタの破壊を防ぐことを可能にしたレベルシフト回路を提供する。

【解決手段】 第 3 及び第 4 のトランジスタ Q 1 5, Q 1 6 は、低電源電圧 V D 1 で駆動するソースドレイン間耐圧の小さな低耐圧素子で構成される。電圧発生回路 1 3 は、高電源電圧 V D 2 に基づいて第 3 及び第 4 のトランジスタ Q 1 5, Q 1 6 が破壊しないように生成した電圧を第 5 及び第 6 のトランジスタ Q 1 7, Q 1 8 のゲートに印加する。第 1 及び第 2 のトランジスタ Q 1 3, Q 1 4 がオンするとき、第 3 及び第 4 のトランジスタ Q 1 5, Q 1 6 にそのソースドレイン間耐圧を越える高電源電圧 V D 2 が印加されることを防止する。高電源電圧 V D 2 から印加される電圧を制限することで、低耐圧素子で構成される第 3 及び第 4 のトランジスタ Q 1 5, Q 1 6 の破壊を防止する。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 5 2 2 3]

1. 変更年月日	1 9 9 6 年 3 月 2 6 日
[変更理由]	住所変更
住 所	神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号
氏 名	富士通株式会社

出 願 人 履 歴 情 報

識別番号 [000237617]

1. 変更年月日 1990年 9月 6日
[変更理由] 新規登録
住 所 愛知県春日井市高蔵寺町2丁目1844番2
氏 名 富士通ヴィエルエスアイ株式会社